



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0049052
Application Number

출원년월일 : 2003년 07월 18일
Date of Application JUL 18, 2003

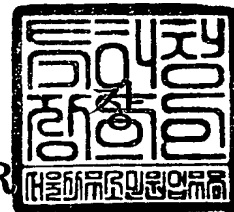
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0015 |
| 【제출일자】 | 2003.07.18 |
| 【발명의 명칭】 | 반도체 소자의 웰 형성방법 |
| 【발명의 영문명칭】 | Method of forming well in semiconductor device |
| 【출원인】 | |
| 【명칭】 | (주)하이닉스 반도체 |
| 【출원인코드】 | 1-1998-004569-8 |
| 【대리인】 | |
| 【성명】 | 신영무 |
| 【대리인코드】 | 9-1998-000265-6 |
| 【포괄위임등록번호】 | 1999-003525-1 |
| 【발명자】 | |
| 【성명의 국문표기】 | 최명규 |
| 【성명의 영문표기】 | CHOI, Myung Gyu |
| 【주민등록번호】 | 710425-1921119 |
| 【우편번호】 | 361-725 |
| 【주소】 | 충청북도 청주시 흥덕구 향정동 1번지 하이닉스반도체(주) |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인) |
| 【수수료】 | |
| 【기본출원료】 | 12 면 29,000 원 |
| 【가산출원료】 | 0 면 0 원 |
| 【우선권주장료】 | 0 건 0 원 |
| 【심사청구료】 | 3 항 205,000 원 |
| 【합계】 | 234,000 원 |
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 |

【요약서】**【요약】**

본 발명은 반도체 소자의 웰 형성방법에 관한 것으로, 얇은 트렌치 소자격리 기술로 형성된 트렌치의 측벽 산화공정 진행 후에 추가 이온주입 공정을 진행하되, 추가 이온주입 공정은 편향된 이온빔을 이용하여 트렌치 측벽면에 불순물이 주입되게 하고, 4회 회전시켜 이온주입하므로 모든 트렌치 측벽면에 불순물 주입이 가능하여 불순물 이온의 도핑농도가 균일한 웰 형성으로 소자의 특성을 향상시킬 수 있다.

【대표도】

도 1f

【색인어】

웰, 추가 이온주입, 편향 이온주입, 도핑농도

【명세서】

【발명의 명칭】

반도체 소자의 웰 형성방법{Method of forming well in semiconductor device}

【도면의 간단한 설명】

도 1a 내지 1f는 본 발명의 실시예에 따른 반도체 소자의 웰 형성방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- | | |
|---------------|----------------|
| 11: 반도체 기판 | 12: 패드 산화막 |
| 13: 패드 질화막 | 14: 포토레지스트 패턴 |
| 15: 트렌치 | 16: 측벽 산화막 |
| 17: 필드 산화막 | 100: 추가 이온 주입층 |
| 200: 웰 이온 매몰층 | 210: 웰 |

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 소자의 웰 형성방법에 관한 것으로, 특히 불순물 이온의 도핑농도가 균일한 웰을 형성하여 소자의 특성을 향상시킬 수 있는 반도체 소자의 웰 형성방법에 관한 것이다.
- <9> 반도체 소자의 집적화가 거듭되면서 반도체 소자의 상당한 면적을 점유하는 소자격리영역을 줄이기 위한 기술 개발이 활발히 진행되고 있다.
- <10> 소자격리영역 표면의 평탄도와 정밀한 디자인 룰(Design Rule) 등의 이유로 고집적도를 갖는 차세대 소자의 소자격리기술로서 얇은 트렌치 소자격리(shallow trench isolation) 기술이 개발되었다. 얇은 트렌치 소자격리 기술로 반도체 기판에 트렌치를 형성하고, 화학기상증착(Chemical Vapor Deposition : 이하, CVD라 칭함) 방법으로 산화실리콘 또는 불순물이 도핑되지 않은 다결정실리콘을 매립하여 STI 소자격리막을 형성하고 있다.
- <11> STI형 소자격리막이 형성된 반도체 기판에 소자를 제조하기 위하여 웰을 형성하는데, 반도체 소자의 집적도가 증가함에 따라 소자가 제조되는 웰의 불순물 이온 도핑농도의 분포가 소자의 특성에 영향을 미치고 있다. 웰 형성을 위해 주입된 불순물 이온은 후속 어닐링 등의 열 공정시에 측면확산(lateral diffusion)이 일어나 소자격리막 주위의 도핑농도가 낮아지며, 이러한 현상은 원자크기와 원자량이 작은 붕소 등의 p형 불순물 이온을 주입하여 p형 웰을 형성할 경우 더욱 심각하다. 더욱이 STI형 소자격리막을 적용하는 소자에서는 STI형 소자격리막을

형성한 후에 웰 이온주입 공정을 실시하고 있는데, 액티브 영역과 필드 영역의 단차 차이에 의하여 이온 주입되는 깊이가 서로 상이하여 웰 농도 분포는 소자격리막 주위에서 낮아진다. 이와 같이 불순물 이온의 측면확산 및 소자격리막의 단차 차이에 기인하여 웰의 불순물 농도분포가 불균일하게 되고, 이로 인하여 접합부 누설전류(junction leakage current), 역 협소 폭 효과(inverse narrow width effect), 협소 폭 효과(narrow width effect) 등의 소자 특성이 열화되어 소자 특성 저하와 신뢰성에 악영향을 미치고 있다.

【발명이 이루고자 하는 기술적 과제】

<12> 따라서, 본 발명은 불순물 이온의 도핑농도가 균일한 웰을 형성하여 소자의 특성을 향상시킬 수 있는 반도체 소자의 웰 형성방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<13> 이러한 목적을 달성하기 위한 본 발명의 실시예에 따른 반도체 소자의 웰 형성방법은 필드 영역이 개방되도록 패터닝된 패드 질화막을 식각 마스크로 하여 반도체 기판에 트렌치를 형성하는 단계; 상기 트렌치의 표면을 따라 산화막을 형성하는 단계; 추가 이온주입 공정을 실시하여 상기 트렌치 측벽면에 추가 이온 주입층을 형성하는 단계; 상기 트렌치에 절연물질을 채워 필드산화막을 형성하는 단계; 상기 패드 질화막을 제거한 후, 웰 이온주입 공정 및 후속 어닐링 공정에 의해 상기 반도체 기판 내부에 웰을 형성하는 단계를 포함한다.

<14> 상기에서, 추가 이온주입 공정은 3 ~ 10도의 각도로 이온주입하며, 4회 회전시켜 진행한다.

- <15> 상기 추가 이온주입 공정 및 상기 웰 이온주입 공정은 동일한 불순물 이온을 사용한다.
- <16> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세하게 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- <17> 도 1a 내지 1f는 본 발명의 실시예에 따른 반도체 소자의 웰 형성방법을 설명하기 위한 소자의 단면도이다.
- <18> 도 1a를 참조하면, 반도체 기판(11) 상에 패드 산화막(12) 및 패드 질화막(13)을 형성하고, 필드 영역이 개방(open)된 포토레지스트 패턴(14)을 식각 마스크로 한 식각 공정으로 패드 질화막(13)을 패터닝한다.
- <19> 상기에서, 패드 산화막(12)은 50 ~ 150 Å의 두께로 형성하며, 반도체 기판(11)과 패드 질화막(13)의 스트레스(stress) 완화용이다. 패드 질화막(13)은 1000 ~ 2000 Å의 두께로 형성한다.
- <20> 도 1b를 참조하면, 포토레지스트 패턴(14)을 제거한 후, 패터닝된 패드 질화막(13)을 식각 마스크로 한 식각 공정으로 패드 산화막(12) 및 반도체 기판(11)을 일정 깊이 식각하여 트렌치(15)를 형성한다. 전세정 공정을 실시한 후, 측벽 라운딩 산화(side wall rounding oxidation) 공정을 실시하여 트렌치(15) 표면에 측벽 산화막(16)을 형성한다.

- <21> 상기에서, 트렌치(15)는 반도체 기판(11)을 반응성이온식각(Reactive Ion Etching)이나 플라즈마 식각 등으로 이방성 식각하여 2500 ~ 4000 Å의 깊이로 형성된다. 전세정 공정은 50 °C의 SC-1용액에서 약 10분간 진행한 후, 회석된 HF 용액에서 약 360초간 세정한다. 측벽 라운딩 산화 공정은 약 1050 °C의 온도에서 건식 산화 방식으로 100 ~ 200 Å의 두께로 형성한다.
- <22> 도 1c를 참조하면, 추가 이온주입(add implant) 공정을 실시하여 트렌치(15) 측벽을 이루는 반도체 기판(11)에 추가 이온 주입층(100)을 형성한다.
- <23> 상기에서, 추가 이온주입 공정은 편향된(tilt) 3 ~ 10도의 각도로 이온주입하므로 트렌치(15) 측벽면에 불순물이 주입되도록 하고, 4회 회전시켜 트렌치(15)의 모든 측벽면에 추가 이온 주입층(100)이 형성되도록 한다. 여기서 불순물 이온은 p형 웰을 형성할 경우 p형의 불순물 이온을 사용하고, 반대로 n형 웰을 형성할 경우 n형의 불순물 이온을 사용한다. 추가 이온 주입되는 불순물 이온의 양은 기존 공정시에 낮아지는 웰 농도를 고려하여 웰 농도가 낮아지는 양 만큼만 주입한다. 각 소자마다 웰 농도가 낮아지는 양이 다르기 때문에 본 발명에서는 특정 수치로 추가 이온주입 양을 한정하지 않는다.
- <24> 도 1d를 참조하면, 트렌치(15)가 충분히 매립되도록 산화물 등의 절연물질을 증착한 후, 화학적 기계적 연마 공정을 실시하여 STI 소자격리막인 필드산화막(17)을 형성한다.
- <25> 도 1e를 참조하면, 잔류된 패드 질화막(13)을 제거한 후, 웰 이온주입 공정을 실시하여 반도체 기판(11) 내부의 일정 깊이에 웰 이온 매몰층(200)을 형성한다.
- <26> 상기에서, 웰 이온주입 공정시 이온주입 에너지를 조절함에 따라 기판(11)의 소정 깊이 에 적절한 Rp(range of projection)을 갖도록 웰 이온 매몰층(200)이 형성된다. 웰 이온주입 공정에 사용되는 불순물 이온은 추가 이온주입 공정에 사용된 불순물 이온과 동일하다.



<27> 도 1f를 참조하면, 세정공정 등을 통해 반도체 기판(11)의 표면에 존재하는 패드 산화막(12)을 제거한다. 웰 이온 매몰층(200) 및 추가 이온 주입층(100)에 존재하는 불순물 이온은 후속 어닐링 등의 열공정에 의해 확산이 이루어져 반도체 기판(11) 내에 웰(210)이 형성되는데, 추가 이온 주입층(100)의 불순물 이온이 필드 산화막(17) 주위에서 손실되는 이온 양을 보상해 주므로 웰(210) 전체의 불순물 이온 도핑 농도는 균일해진다.

【발명의 효과】

<28> 상술한 바와 같이, 본 발명은 얇은 트렌치 소자격리 기술로 형성된 트렌치의 측벽 산화 공정 진행 후에 추가 이온주입 공정을 진행하므로 액티브 지역에서의 웰 농도 분포가 필드 산화막에 가까운 지역일수록 웰 중앙의 불순물 농도보다 점점 낮아지는 웰 농도 구배 현상을 제거할 수 있어, 접합부 누설전류(junction leakage current), 역 협소 폭 효과(inverse narrow width effect), 협소 폭 효과(narrow width effect) 등의 소자 특성이 향상되어 소자 특성 개선과 신뢰성을 향상시킬 수 있다.



【특허청구범위】

【청구항 1】

필드 영역이 개방되도록 패터닝된 패드 질화막을 식각 마스크로 하여 반도체 기판에 트랜치를 형성하는 단계;

상기 트랜치의 표면을 따라 산화막을 형성하는 단계;

추가 이온주입 공정을 실시하여 상기 트랜치 측벽면에 추가 이온 주입층을 형성하는 단계;

상기 트랜치에 절연물질을 채워 필드산화막을 형성하는 단계;

상기 패드 질화막을 제거한 후, 웰 이온주입 공정 및 후속 어닐링 공정에 의해 상기 반도체 기판 내부에 웰을 형성하는 단계를 포함하는 반도체 소자의 웰 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 추가 이온주입 공정은 3 ~ 10도의 각도로 이온주입하며, 4회 회전시켜 진행하는 반도체 소자의 웰 형성방법.

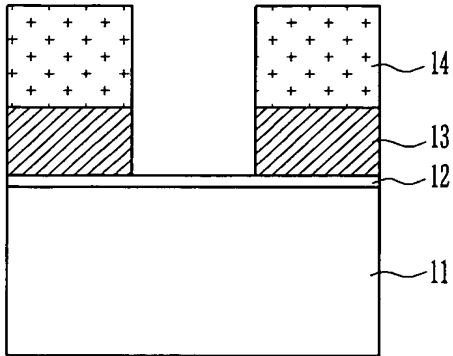
【청구항 3】

제 1 항에 있어서,

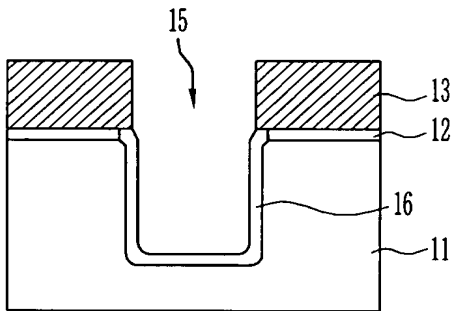
상기 추가 이온주입 공정 및 상기 웰 이온주입 공정은 동일한 불순물 이온을 사용하는 반도체 소자의 웰 형성방법.

【도면】

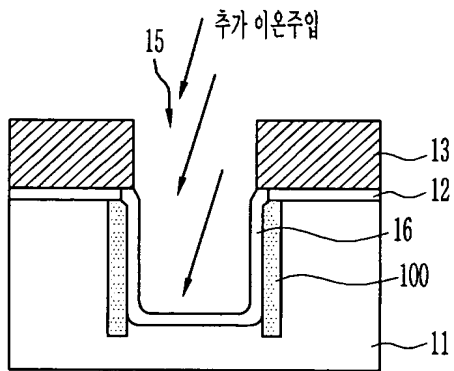
【도 1a】



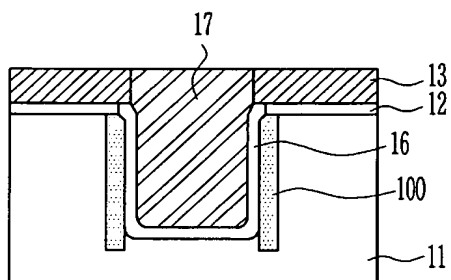
【도 1b】



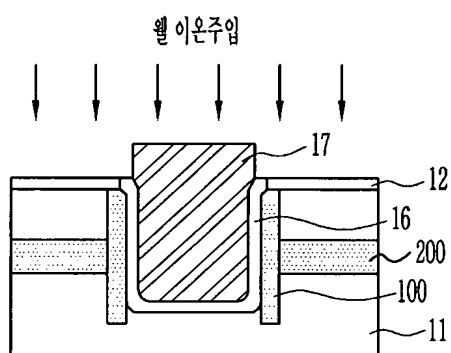
【도 1c】



【도 1d】



【도 1e】



【도 1f】

